

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



RECEIVED

NOV 19 2001

Technology Center 2100

2185

#3

2501

XA-9538

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Naoki YADA et al.

Appln. No.: 09/938,629

Group Art Unit: 2185

Filed: August 27, 2001

For: DATA PROCESSING SYSTEM AND DATA PROCESSING METHOD

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

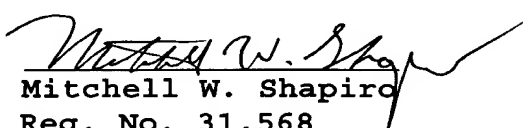
Applicants hereby claim the priority of Japanese Patent Application No. 2001-189276 filed June 22, 2001, and submit herewith a certified copy of said application.

Respectfully submitted,

MWS:jab

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, VA 22102-3833
Tel: (703) 610-8652
November 14, 2001

By:


Mitchell W. Shapiro
Reg. No. 31,568



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 6月22日

出 願 番 号
Application Number:

特願2001-189276

出 願 人
Applicant(s):

株式会社日立製作所

RECEIVED

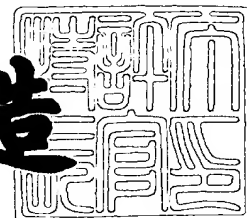
NOV 19 2001

Technology Center 2100

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3091573

【書類名】 特許願

【整理番号】 H00016601

【提出日】 平成13年 6月22日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/16

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 平木 充

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 宿利 章二

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 CPUと書き換え可能な不揮発性メモリとを有するデータ処理装置において、前記CPUは、前記不揮発性メモリにおける記憶領域の一部である特定ブロックに情報を書き込むときは一つのデータを異なるアドレスのメモリセルに格納し、前記特定ブロックからデータを読み出すときは前記異なるアドレスのメモリセルからデータを読み出し、読み出した複数のデータに対して論理演算を実行することにより必要な誤り訂正を行うことが可能であることを特徴とするデータ処理装置。

【請求項 2】 前記異なるアドレスの数は 2 以上であり、前記論理演算は、前記CPUの命令セットに含まれる命令の実行による論理OR演算であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記異なるアドレスの数は 2 以上であり、前記論理演算は、前記CPUの命令セットに含まれる命令の実行による論理AND演算であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 前記異なるアドレスの数は 3 以上であり、前記論理演算は、前記CPUの命令セットに含まれる命令の実行により、前記異なるアドレスのメモリセルから読み出した複数のデータに対して多数決を採る演算であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】 前記不揮発性メモリは、前記特定ブロックとは異なる領域として、前記CPUが実行するプログラムを格納するプログラム領域を有して成るものであることを特徴とする請求項 1 乃至 4 の何れか 1 項記載の半導体集積回路。

【請求項 6】 前記プログラム領域は、前記一つのデータを異なるアドレスのメモリセルに格納するためのプログラム、前記誤り訂正を行うためのプログラム、及びその他のプログラムを保有するものであることを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】 前記特定ブロックは他のブロックに比べて多い書換え回数を

保証する製品仕様を有するものであることを特徴とする請求項 1 乃至 6 の何れか 1 項記載の半導体集積回路。

【請求項 8】 前記不揮発性メモリはメモリセルの閾値電圧の高低に応じて情報記憶を行うことが可能なフラッシュメモリであることを特徴とする請求項 1 乃至 7 の何れか 1 項記載の半導体集積回路。

【請求項 9】 前記 CPU と不揮発性メモリはマイクロコンピュータを構成する 1 個の半導体チップに形成されて成るものであることを特徴とする請求項 1 乃至 8 の何れか 1 項記載の半導体集積回路。

【請求項 10】 前記 CPU と不揮発性メモリは夫々別々の半導体チップに形成されて成るものであることを特徴とする請求項 1 乃至 8 の何れか 1 項記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラッシュメモリ、EEPROM（エレクトリカリ・エレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）等の不揮発性メモリを内蔵したシングルチップマイクロコンピュータのようなデータ処理装置に関し、例えば機器組込み制御用途のシングルチップマイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】

フラッシュメモリなど電氣的に書換え可能な不揮発性メモリはメモリセルのフローティングゲートに注入された電子若しくは正孔の量に応じた閾値電圧によって情報記憶を行う。そのようなメモリセルの閾値電圧特性は書換え回数の増加等にしがって経時的に劣化する。特性劣化が進むと、データ書換え時におけるベリファイ動作で書込みエラーになる確立が増す。このように、フラッシュメモリでは、書込み・消去を繰り返すにつれ、特性が劣化し、情報を正常に保持できなくなる「落ちこぼれビット」が発生する。フラッシュメモリやそのオンチップマイクロコンピュータで保証する書き換え回数は、上記特性劣化により制限される

。書き換え回数を向上させる方法として、従来から以下のような技術が知られている。

【0003】

第1の技術は、フラッシュメモリの回路構造として実現する手法である。例えば、書き込み時には2個（一般には複数個）のセルに同一のビット情報を書き込み、読み出し時には両方のメモリセルからデータを読み出し、少なくとも一方が高閾値状態であれば高閾値状態に対応する論理値のデータを出力するように構成する。あるいは、書き込み時に3個以上のメモリセルに同一のビット情報を書き込み、読み出し時にはこれらのセルからデータを読み出し多数決論理をとって出力するようにフラッシュメモリの回路を構成する。このような構成のフラッシュメモリについて記載された文献の例として特開平3-57048号公報がある。

【0004】

第2の技術は、誤り訂正機能ブロックをチップ上に備えるものであり、書き込み時に検査ビットを発生し、読み出し時に本来の情報及び検査ビットから誤りの検出と訂正を行うようにしたものである。この技術について記載された文献の例として、2000 Symposium on VLSI Circuits Digest of Technical Papers, pp162-165がある。

【0005】

第3の技術として、特開平7-210215号公報に記載のように、CPUがEEPROMに書き込みを行うとき、EEPROM内の二つの領域と当該EEPROMとは別のバックアップメモリとの3個所に書き込みを行い、CPUがデータ読み出しを行うときは、前記3個所からデータを読み出し、その内の2つのデータが一致したときは一致に係るデータを正しいと判断するものがある。

【0006】

【発明が解決しようとする課題】

しかしながら、前記第1の技術では、書き換え回数が多いことが求められる用途（例えば2メモリセル／ビット構成としてセル使用効率は犠牲にする）と、書

き換え回数は少なくてもよいが最大のセル使用効率（すなわち1メモリセル/ビット構成）が求められる用途とでは、同一構成のフラッシュメモリを適用することができないので、用途に応じて複数種類のフラッシュメモリを用意若しくは実装する必要がある。これにより、フラッシュメモリの開発効率が悪くなる。また、回路モジュールの数も増えて、結局チップ面積を増大させる要因になる。

【0007】

前記第2の技術では、ECCのような誤り訂正機能を持つハードウェアを備えることによりチップ面積が増大し、コストが上昇するという問題がある。ソフトウェアでECC機能を実現できたとしても、エラー訂正能力が複数ビットになる途端に膨大な演算処理が必要になり、低いエラー発生率を保つにはCPUに著しく大きな負担がかかる。

【0008】

前記第3の技術では、本来実装されるEEPROMとは別のバックアップメモリが必要になる。この点に関し、第3の技術を記載した文献ではEPROMを3分割して夫々に同じデータを書込む場合に比べて書き込み回数が減って書き込み中のエラーによる影響を受ける機会が減る、としている。要するに、EEPROMとは別のバックアップメモリを利用することの優位性を見出している。

【0009】

本発明者による検討によれば、マイクロコンピュータにオンチップされたフラッシュメモリはデータやプログラムを格納するのに利用され、データ領域の場合にはパラメータのように頻繁に書き換えられることが予想され、プログラム領域に関してはバージョンアップなどを除いて殆ど書き換えられない。このような事情を考慮したとき、複数の記憶領域に対して合目的にその記憶領域の機能もしくは性能を最適化することが必要になる、ということを本発明者は見出した。例えば、書き換え回数が多いパラメータなどの記憶用途にはメモリセルの特性劣化度合いが強くなるのでメモリセル使用効率を犠牲にしても情報記憶の信頼性低下を抑制することを優先させ、書き換え回数が少なくてもよい領域では特性劣化の進行は緩慢であるからメモリセルの使用効率を最大化することを優先させるのが適切である。

【 0 0 1 0 】

本発明の目的は、書き換え回数が少ない用途から多い用途まで1つの不揮発性メモリで対応でき、情報記憶の信頼性向上若しくは書き換え上限回数を向上させるために、新たなハードウェアを備える必要のないマイクロコンピュータのようなデータ処理装置を提供することである。

【 0 0 1 1 】

本発明の別の目的は、1個の不揮発性メモリに対して書き換えが頻繁な領域では情報記憶の信頼性低下の抑制を優先させ、書き換え回数が少なくてよい領域ではメモリセルの使用効率を最大化することを優先させることが可能なデータ処理装置を提供することにある。

【 0 0 1 2 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 3 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 4 】

すなわち、データ処理装置はCPUと書き換え可能な不揮発性メモリとを有する。前記CPUは、前記不揮発性メモリにおける記憶領域の一部である特定ブロックに情報を書き込むときは一つのデータを異なるアドレスのメモリセルに格納し、前記特定ブロックからデータを読み出すときは前記異なるアドレスのメモリセルからデータを読み出し、読み出した複数のデータに対して論理演算を実行することにより必要な誤り訂正を行うことが可能にされる。

【 0 0 1 5 】

上記より、1個の不揮発性メモリに対して書き換えが頻繁な一部の領域を上記特定ブロックとして書き込み及び必要な誤り訂正処理対象とすることにより当該一部の記憶領域における情報記憶の信頼性低下の抑制を優先させることができる。そして、書き換え回数が少なくてよい領域では上記特定ブロックとしての処理

対象としないことによりメモリセルの使用効率を最大化することを優先させることができる。これにより、書き換え回数が少ない用途から多い用途まで1つの不揮発性メモリで対応でき、情報記憶の信頼性向上若しくは書き換え上限回数を向上させるために、新たなハードウェアを必要としない。

【0016】

前記CPUが実行する論理演算は、例えば、前記異なるアドレスの数が2以上のとき、前記CPUの命令セットに含まれる命令の実行による論理OR演算或は論理AND演算等としてよい。例えば不揮発性メモリが閾値電圧の高低に応じた情報記憶を行うことが可能なフラッシュメモリのとき、そのメモリセルの記憶情報はフローティングゲートが保有する電子又は正孔の量によって決定され、例えば熱平衡状態の閾値電圧よりも閾値電圧の高い状態に应答する記憶情報が論理値“1”、低い状態に应答する記憶情報が論理値“0”であるなら、特性劣化により、閾値電圧が高い方から低い方に変化されると仮定すると、論理OR演算を用いることにより、一つのデータにつき前記異なる複数アドレスに格納したデータの全てが“0”に反転されない限り、特性劣化による“1”から“0”への不所望な記憶情報の破壊を防止することができる。一方、特性劣化により、閾値電圧が低い方から高い方に変化されると仮定すると、論理AND演算を用いることにより、一つのデータにつき前記異なる複数アドレスに格納したデータの全てが“1”に反転されない限り、特性劣化による“0”から“1”への不所望な記憶情報の破壊を防止することができる。その逆に、例えば熱平衡状態の閾値電圧よりも閾値電圧の高い状態に应答する記憶情報が論理値“0”、低い状態に应答する記憶情報が論理値“1”であるなら、特性劣化により、閾値電圧が高い方から低い方に変化されると仮定すると、論理AND演算を用いることにより、一つのデータにつき前記異なる複数アドレスに格納したデータの全てが“1”に反転されない限り、特性劣化による“0”から“1”への不所望な記憶情報の破壊を防止することができる。一方、このとき、特性劣化により、閾値電圧が低い方から高い方に変化されると仮定すると、論理OR演算を用いることにより、一つのデータにつき前記異なる複数アドレスに格納したデータの全てが“0”に反転されない限り、特性劣化による“1”から“0”への不所望な記憶情報の破

壊を防止することができる。

【0017】

また、前記CPUが実行する論理演算は、例えば、前記異なるアドレスの数が3以上のとき、複数の命令の実行によって行われる多数決を採る演算処理としてよい。“1”から“0”への不良と“0”から“1”への不良の双方に対処することができる。

【0018】

前記不揮発性メモリは前記の特定ブロックとは異なるブロックに、前記一つデータを異なるアドレスのメモリセルに格納するためのプログラム、誤り訂正を行うためのプログラム、及びその他のプログラムを格納してよい。

【0019】

前記の特定ブロックは他のブロックに比べて多い書換え回数を保証する製品仕様を有することになる。

【0020】

前記不揮発性メモリは例えば電氣的に消去及び書き込み可能なフラッシュメモリである。前記CPUと不揮発性メモリはマイクロコンピュータを構成する1個の半導体チップに形成されてよい。また、前記CPUと不揮発性メモリは夫々別々の半導体チップに形成されてもよい。

【0021】

【発明の実施の形態】

図1には本発明に係るデータ処理装置の一例であるマイクロコンピュータが示される。同図に示されるマイクロコンピュータ1は、書き換え可能な不揮発性記憶装置の一例であるフラッシュメモリ2、CPU3、RAM（ランダム・アクセス・メモリ）4及びインタフェース回路5を有し、それらは内部アドレスバス6、内部データバス7及び図示を省略するコントロールバスによって接続される。インタフェース回路5は外部アドレスバス8、外部データバス9及び図示を省略する外部コントロールバスを介して図示を省略する周辺回路等に接続可能にされる。同図に示されるマイクロコンピュータ1は、例えばCMOS集積回路製造技術により、単結晶シリコンなどの1個の半導体基板もしくは半導体チップに形

成される。

【0022】

前記CPU3は、特に図示はしないが、命令制御部と演算部を有し、命令制御部で命令をフェッチし、フェッチした命令を解釈し、解釈結果に従って制御信号を生成する。演算部は前記制御信号に基づいて、その命令による指示を実現するためのアドレス演算及びデータ演算等を実行する。前記RAM4はCPU3のワーク領域又はデータ一時記憶領域に用いられる。CPUの命令セットには、データ転送命令、論理演算命令、算術演算命令、ビット操作命令、分岐命令などがある。論理演算命令として、一般的はAND、OR、排他的論理和等の論理演算処理を行う命令がある。

【0023】

前記フラッシュメモリ2は、不揮発性メモリセルがマトリクス配置された不揮発性記憶領域として、特に制限されないが、頻繁に書き換えが予定されている第1領域としての特定ブロック領域11と、頻繁な書き換えが予定されていない第2領域としてのプログラム領域12を有する。前記プログラム領域12には、例えば、前記特定ブロック領域11のアクセスに利用するプログラムや、その他のプログラムが格納される。図1において前記特定ブロック領域11とプログラム領域12は物理的に分離されているように図示されているが、同じメモリアレイ内に配置されて差し支えない。

【0024】

図2には前記不揮発性記憶領域に配置された不揮発性メモリセルのIds-Vgs特性が例示される。この例では、論理値”0”および”1”を保持しているメモリセルではそれぞれ低閾値状態および高閾値状態となる。したがって、ゲート・ソース間に適切な電圧を印加すると（選択）、論理値”0”および”1”を保持しているメモリセルではそれぞれドレイン・ソース間が導通および非導通となり、記憶情報に応じたデータの読み出しができる。

【0025】

図3には図2に示したような低閾値状態および高閾値状態を作り出すための不揮発性メモリセルの構造とその書込み状態および消去状態が例示される。特に制

限されないが、ここでは、前記不揮発性メモリセルの閾値電圧が高い状態（“1”状態）をプログラム（書込み）状態、前記不揮発性メモリセルの閾値電圧が低い状態（“0”状態）をイレース（消去）状態と定義する。

【0026】

不揮発性メモリセルは、 n チャネル型とされ、Pウェル（P型ウェル領域）PWに形成されたソースSCとドレインDRとの間のチャネル形成領域の上に、酸化膜を介してフローティングゲートFGが設けられ、その上にゲート絶縁膜を介してコントロールゲートCGが積層されて構成される。

【0027】

イレース状態は、例えば、ソースSCに高い正電圧（10V）、コントロールゲートCGに高い負電圧（-10V）を印加し、フローティングゲートFGからソースSCに電子を引き抜くことにより達成される。プログラム状態は、例えば、ドレインDRに正電圧（7V）、ソースSCに回路の接地電圧（0V）、コントロールゲートCGに高い正電圧（10V）を印加し、ドレイン・ソース間に電流を流し、これによって生ずるホットエレクトロンをフローティングゲートFGに蓄積して達成される。

【0028】

図4には前記フラッシュメモリの一例が示される。同図においてメモリアレイ20には代表的に示された不揮発性メモリセル21が多数個マトリクス配置されている。不揮発性メモリセルのコントロールゲート（CG）はワード線22に、ドレイン（DR）はビット線23に、ソース（SC）はソース線24に接続される。図示は省略するが、前記ワード線22、ビット線23及びソース線24はメモリセル21の行列方向に多数配置される。

【0029】

Xデコーダ25はアドレスバッファ26に供給されるXアドレスをデコードしてワード線22を選択的に駆動する。ワード線22の駆動電圧は読み出しや書込みなどのフラッシュメモリの動作モードに応じて電源回路27から供給される動作電源の電圧にしたがって決定される。ソース及び基板制御回路28は前記ソース線24及び不揮発性メモリセル21のウェル領域の電圧を選択的に制御する。

ソース線 2 2 やウェル領域に供給される電圧はフラッシュメモリの動作モードに応じて電源回路 2 7 から供給される動作電源の電圧によって決定される。ビット線 2 3 は Y セレクタ 2 9 で選択されてセンスアンプ 3 0 又は書込みバッファ 3 1 に接続される。Y デコーダ 3 2 はアドレスバッファ 2 6 に供給される Y アドレスをデコードして Y セレクタ 2 9 の選択制御信号を生成する。前記書込みバッファ 3 1 は入力バッファ 3 3 を介して書込みデータラッチし、消去状態のメモリセル 2 1 をプログラム状態に変化させるためにビット線 2 3 を駆動する。ビット線駆動電圧は動作モードに応じて電源回路 2 7 から与えられる動作電源の電圧によって決まる。前記センスアンプ 3 0 は読み出し動作又は書込み動作におけるペリファイ動作でメモリセルからビット線に読み出された読み出し信号を増幅する。増幅された読み出し信号はリードデータとして出力バッファ 3 4 から内部データバス 7 に出力される。

【 0 0 3 0 】

制御部 3 6 は CPU 3 からのアクセス指示を受けてフラッシュメモリ 2 の内部動作を制御する。制御部 3 6 は、CPU 2 からリード動作が指示されると、内部アドレスバス 6 から与えられたアドレスを X デコーダ 2 5 および Y デコーダ 3 2 にデコードさせてワード線 2 1 およびビット線 2 3 を選択させ、これによってアクセスアドレスに対応するメモリセルを選択する。制御部 3 6 は読み出し動作時にはセンスアンプ 3 0 および出力バッファ 3 4 を活性化し、読み出されたデータを内部データバス 7 に出力させる。

【 0 0 3 1 】

制御部 3 6 は書込み動作のための制御レジスタ REG を有し、CPU 3 によるその制御レジスタ REG の設定状態に応じて書込み動作を行う。制御レジスタ REG は、プログラムビット P、イレースビット E などの制御ビットを有し、さらに、消去ブロック（消去領域）の指定領域 EBLK を有する。ここでは、消去はソース線を共通とするメモリセル群を最小単位とするものであり、消去ブロックの指定は夫々ソース線共通の複数ブロックの中から消去対象ブロックを指定することによって行われる。データの書き換えの最小単位は消去ブロック単位とされる。前記イレースビット E がイネーブルにされると、消去ブロック指定領域 EB

LKで指定されるブロックのメモリセルに前記イレース状態のためのイレース電圧の印可が行われる。イレース電圧の印可は複数回に分けて行われ、其の都度規定の閾値電圧に到達したかのベリファイが行われ、規定の閾値電圧に到達したところでイレース状態への動作を終了する。前記プログラムビットPがイネーブルにされると、アドレスで指定される書込み動作の対象メモリセルに対し、書込みデータの各ビットの論理値に応じて、前記プログラム状態のためのプログラム電圧印可とプログラム電圧印可阻止が制御される。プログラム電圧の印可は複数回に分けて行われ、其の都度規定の閾値電圧に到達したかのベリファイが行われ、規定の閾値電圧に到達したところでプログラム状態への動作を終了する。

【 0 0 3 2 】

次に、書き換えが頻繁に行われる前記特定ブロック領域11に対する情報記憶の信頼性を向上させるための書込み動作及び読み出し動作について説明する。前記CPU3は、前記特定ブロック領域11に情報を書き込むときは一つのデータを異なるアドレスのメモリセルに格納し、前記特定ブロック領域11からデータを読み出すときは前記異なるアドレスのメモリセルからデータを読み出し、読み出した前記複数データに対して論理演算を実行して、必要な誤り訂正を行う。一方、プログラム領域12に対してCPU3は、従来通りのフラッシュメモリアクセスを行い、一つのデータに対する別アドレスへの重複書込み、対応別アドレスから読み出した重複データに基づく必要なエラー訂正といった処理は行わない。

【 0 0 3 3 】

図5には、一つのデータに対する別アドレスへの重複書込み、及び対応別アドレスから読み出した重複データに基づく必要なエラー訂正の処理フローが例示される。この処理フローの制御主体はCPU3である。要するに、一つのデータに対する別アドレスへの重複書込み、及び対応別アドレスから読み出した重複データに基づく必要なエラー訂正の処理は、CPU3の動作プログラムによって規定される。このプログラムはマイクロコンピュータの製造メーカー側からユーザに提供される場合もあれば、チップユーザが作成する場合もあり得る。

【 0 0 3 4 】

CPU3が実行する特定ブロック領域11へのアクセスプログラムは、データ書込み動作を制御するものと、データ読み出し動作を制御するものに大別される。其の記述より、データ書込みであればCPU3はステップS1～S4を実行し、データ読み出しであれば、ステップS5～S9を実行する。

【0035】

一つのデータ書込みの場合について説明する。特定ブロック領域11は、図6に例示されるように、 A_0 から $A_0 + 2K - 1$ までの $2K$ 個の番地が含まれているものとする。特定ブロック領域11への書き込みを行う場合には、まず書き込むべきアドレスを指定するためにCPU3のアドレスレジスタにアドレス A_i ($A_0 \leq A_i \leq A_0 + K - 1$) をセットして内部アドレスバス6に出力し(S1)、内部データバス7を介してフラッシュメモリ2のプログラムビットPをセットすると共に書込みデータ D_i を出力してフラッシュメモリ2のアドレス A_i にデータ D_i を書き込む(S2)。このアドレスセット(S1)とデータ書込み(S2)の動作それ自体は通常動作における前記プログラム及びプログラムベリファイ動作と同じ動作になる。次に、書き込みアドレスを K だけずらして($A_i + K$ にセット)CPU3のアドレスレジスタにセットし、そのアドレスを内部アドレスバス6に出力し(S3)、フラッシュメモリ2のアドレス $A_i + K$ に前記と同一データ D_i を書き込む(S4)。このアドレスセット(S3)とデータ書込み(S3)の動作それ自体は通常動作における前記プログラム及びプログラムベリファイ動作と同じ動作になる。

【0036】

データ読み出しの場合について説明する。まず、読み出すべきフラッシュメモリのアドレス A_i ($A_0 \leq A_i \leq A_0 + K - 1$) をバス6に出力し(S5)、CPU3のレジスタ(例えば汎用レジスタ)R0にデータをロードする(S6)。次に、 K だけずらしたアドレス($A_i + K$)をバス6に出力し(S7)、CPU3のレジスタ(例えば汎用レジスタ)R1にデータをロードする(S8)。今、フラッシュメモリセルのフローティングゲートに電荷がある状態およびない状態がそれぞれ論理値“1”および“0”に対応するものとする。もともとフローティングゲートにあった電荷がなくなる不良(論理値“1”が論理値“0”に化

ける不良)のみ起こり、その逆の不良は起こらないものと仮定すると、レジスタ R 0 の値とレジスタ R 1 の値の論理 O R 演算命令を C P U 3 に実行させる (S 9)。これにより、前記論理 O R 演算の結果は、ただか一方のデータでしか不良が起こっていないければ誤りを訂正し本来の正しい値になる。したがって、C P U 3 はそのような論理 O R 演算の結果をリードデータとして処理することにより、フラッシュメモリ 2 で頻繁に書き換えられるデータの信頼性を向上させることができ、実質的に、保証書換え回数を増大させることができる。図 5 の例は、2 重にデータを書込み、読み出しはこれらの論理 O R 演算を行うものであるが、3 重あるいはそれ以上にデータを書込み、これらの論理 O R 演算を行って読み出すと、セル使用効率はさらに悪くなるが、データの信頼性はより向上する。

【 0 0 3 7 】

特定ブロック領域 1 1 以外の他のブロックをアクセス (書込みおよび読み出し) する場合は、ユーザは上述のようなアクセスプログラムを起動せずに通常の方法でアクセスを行う。したがって、他のブロックではデータを冗長に持たせてはいないので、セル使用効率は劣化しないが、特定ブロック領域 1 1 ほどのデータの信頼性は維持できず、保証書換え回数も特定ブロック領域 1 1 での値より少なくなる。特定ブロック領域 1 1 を含む全てのブロックで特に高い書換え回数を必要としないユーザは、特定ブロック領域 1 1 へのアクセス時も上述の特定ブロック領域へのアクセスプログラムを起動しなければ、全てのブロックでセル使用効率を劣化させずに済む。また、特定ブロック領域 1 1 に加えて他の一部のブロックでも多数の書換え回数を必要とするユーザに対してはこれらの複数のブロックで上述のような多重の書込み及び論理 O R 演算を行うアクセスプログラムを提供することにより対応できる。このように様々なユーザのニーズに対して特定ブロック領域へのアクセスプログラムのようなプログラムの使用/非使用、或は内容変更のみで対応でき、フラッシュメモリのハードウェア構成を一切変更する必要はない。

【 0 0 3 8 】

なお、上述の特定ブロック領域へのアクセスプログラムを適用する場合は、適用するブロック (例えば特定ブロック領域 1 1) からの読み出しは一つのデータ

につき複数のCPU命令ステップを必要とするので、ウェイトサイクルなしでデータを続けてランダムアクセスすることはできない。本発明の適切な適用例としては、システムの電源遮断前にRAM 4 からフラッシュメモリ 2 にデータを書込み、電源投入直後にフラッシュメモリ 2 からRAM 4 にデータを読み出すような用途が考えられる。例えば、車載用電子制御装置において学習値や車載部品の自己診断結果をフラッシュメモリ 2 に保存する、エアコンシステムにおいてユーザが使用中に指定した好みの設定値をフラッシュメモリ 2 に保存する、ビデオゲーム装置においてデータをフラッシュメモリ 2 に保存する、などの用途が考えられる。

【0039】

図7にはフラッシュメモリで起こる不良が図5とは逆の場合になると仮定したときの一つのデータに対する別アドレスへの重複書込み、及び対応別アドレスから読み出した重複データに基づく必要なエラー訂正の処理フローが例示される。ここでは、図5の場合とは逆に、論理値“0”が論理値“1”に化ける不良に対処するときの特定ブロック領域へのアクセスプログラムの例である。図5との相違点は、ステップS9をステップS9aに変更した点であり、ステップS9aでは読み出し時に論理AND演算命令を実行する。この場合も、論理AND演算の結果は、たかだか一方のデータでしか不良が起こっていないれば誤りを訂正し本来の正しい値になる。したがって、CPU3はそのような論理AND演算の結果をリードデータとして処理することにより、フラッシュメモリ 2 で頻繁に書き換えられるデータの信頼性を向上させることができ、実質的に、保証書換え回数を増大させることができる。図7の例は、2重にデータを書込み、読み出しはこれらの論理AND演算を行うものであるが、3重あるいはそれ以上にデータを書込み、これらの論理AND演算を行って読み出すと、セル使用効率はさらに悪くなるが、データの信頼性はより向上する。

【0040】

図8には書き込み時に3つのアドレス(A_i 、 $A_i + K$ 、 $A_i + 2K$)に同一のデータを書き込み、読み出し時にこれらの多数決論理を採って出力するアクセスプログラムによる書き込みと読み出しの制御フローが例示される。

【0041】

CPU3が実行する特定ブロック領域へのアクセスプログラムは、データ書込み動作を制御するものと、データ読み出し動作を制御するものに大別される。その記述より、データ書込みであればCPU3はステップS11～S16を実行し、データ読み出しであれば、ステップS17～S26を実行する。

【0042】

一つのデータ書込みの場合について説明する。特定ブロック領域11は、図9に例示されるように、 $A0$ から $A0+3K-1$ までの $3K$ 個の番地が含まれているものとする。特定ブロック領域11への書き込みを行う場合には、まず書き込むべきアドレスを指定するためにCPU3のアドレスレジスタにアドレス A_i ($A0 \leq A_i \leq A0+K-1$) をセットしてアドレスバス6に出力し(S11)、内部データバス7を介してフラッシュメモリのプログラムビットPをセットすると共に書込みデータ D_i を出力してフラッシュメモリ2のアドレス A_i にデータ D_i を書き込む(S12)。このアドレスセット(S11)とデータ書込み(S12)の動作それ自体は通常動作における前記プログラム及びプログラムベリファイ動作と同じ動作になる。次に、書き込みアドレスを K だけずらしてCPU3のアドレスレジスタにセット(A_i+K にセット)して内部アドレスバス6に出力し(S13)、フラッシュメモリのアドレス A_i+K に前記と同一データ D_i を書き込む(S14)。このアドレスセット(S13)とデータ書込み(S14)動作それ自体は通常動作における前記プログラム及びプログラムベリファイ動作と同じ動作になる。更に、書き込みアドレスを $2K$ だけずらしてCPU3のアドレスレジスタにセット(A_i+2K にセット)してアドレスバス6に出力し(S15)、フラッシュメモリのアドレス A_i+2K に前記と同一データ D_i を書き込む(S16)。このアドレスセット(S15)とデータ書込み(S16)動作それ自体は通常動作における前記プログラム及びプログラムベリファイ動作と同じ動作になる。

【0043】

データ読み出しの場合について説明する。まず、読み出すべきフラッシュメモリのアドレス A_i ($A0 \leq A_i \leq A0+K-1$) をバス6に出力し(S17)、

CPU3のレジスタ（例えば汎用レジスタ）R0にデータをロードする（S18）。例えばR0=0110がロードされる。次に、Kだけずらしたアドレス（ $A_i + K$ ）をバス6に出力し（S19）、CPU3のレジスタ（例えば汎用レジスタ）R1にデータをロードする（S20）。例えばR1=0111がロードされる。更に、2Kだけずらしたアドレス（ $A_i + 2K$ ）をバス6に出力し（S21）、CPU3のレジスタ（例えば汎用レジスタ）R2にデータをロードする（S22）。例えばR2=0111がロードされる。

【0044】

ここで、一般に、3つの値（P、Q、R）の多数決論理は、 $(P \cdot \neg Q + \neg P \cdot Q) \cdot R + P \cdot Q$ により表される。記号 \neg はそれが付された値の反転を意味する。ステップS23～S25は其の演算を一般のマイコンの命令セットに含まれている論理演算命令の組み合わせにより実行する。ステップS23ではレジスタR0のデータとレジスタR1のデータに対して排他的論理和演算を行って其の演算結果をレジスタR3に得る。ステップS24ではレジスタR0のデータとレジスタR1のデータとに対する論理AND演算を行って演算結果をレジスタR1に格納する。ステップS25ではレジスタR2のデータとレジスタR3のデータに対して論理AND演算を行ってsの演算結果をレジスタR2に格納する。ステップS26ではR1とR2の論理OR演算を行って結果をR1に格納する。ステップS26でレジスタR1に得られた演算の結果は、3個のデータの内一致する2個のデータとされる。したがって、CPU3はそのような多数決論理演算の結果をリードデータとして処理することにより、フラッシュメモリ2で頻繁に書き換えられるデータの信頼性を向上させることができる。特に図5、図7の例に比べてメモリセルの使用効率が劣化し、また、命令ステップ数が増大するというデメリットはあるものの、論理値が“1”から“0”に化ける不良と“0”から“1”に化ける不良の両方に対応できるというメリットがある。

【0045】

図10にはオフチップのフラッシュメモリを用いたデータ処理装置の例が示される。図10においてマイクロコンピュータ1Aとフラッシュメモリ2Aは夫々別チップに形成され、マイクロコンピュータ1Aには前記フラッシュメモリ

2 がオンチップされず、フラッシュメモリ 2 A は単独で半導体集積回路化されている。図 1 0 の構成においてもフラッシュメモリ 2 A は前記特定ブロック領域 1 1 を有し、それに対する書込み及び読み出しは、前記同様にマイクロコンピュータ 1 A の CPU 3 が実行するプログラムによって制御される。このマルチチップ構成においてもフラッシュメモリ 2 A の一部の頻繁に書き換えられる特定ブロック領域の書き換え回数の実質的な制限を緩和でき、頻繁に書き換えられるデータの信頼性を向上させることができる。

【 0 0 4 6 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 4 7 】

例えば、書き込み及び消去は相対的な概念であり、上記とは逆に定義してもよい。また、フラッシュメモリのフローティングゲートに対する電子の注入方式はホットエレクトロン注入に限定されず、トンネル注入であってもよい。また、不揮発性メモリは 1 個のメモリセルにつき 2 値でデータを保持する構成に限定されず、4 値などの多値記憶を行う構成であってもよい。また、不揮発性メモリはフラッシュメモリに限定されず、強誘電体メモリなどの、別の記憶形式を有する書き換え可能な構成であってもよい。また、フラッシュメモリセルトランジスタは p チャネル型であってもよい。

【 0 0 4 8 】

また、特定ブロック領域の区切り方は図 6 や図 9 に例示されるように K 個のようなオフセットを持たせて分離する手法に限定されず、一つのデータを書込む領域を順次隣同士のアドレスとすることも理論上は可能である。K 個のようなオフセットを持たせて分離する手法の方がプログラムの作成が容易であり、また、データ把握も容易である。

【 0 0 4 9 】

データ処理装置が備える回路モジュールは RAM やインタフェース回路に限定されず、ROM、コプロセッサ、アクセラレータ、その他の周辺回路などであっ

てもよい。

【0050】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0051】

すなわち、1個の不揮発性メモリに対して書き換えが頻繁な一部の領域を特定ブロックとし、この特定ブロックに対する書込みでは一つのデータに対する別アドレスへの重複書込みを行い、読み出しでは対応別アドレスから読み出した重複データに基づくエラー訂正を行い、上記双方の処理をCPUのプログラムによって実現するから、不揮発性メモリの一部の記憶領域に対して情報記憶の信頼性低下の抑制を優先させることができる。書き換え回数が少なくてよい領域では上記特定ブロックとしての処理対象としないことによりメモリセルの使用効率を最大化することを優先させることができる。これにより、書き換え回数が少ない用途から多い用途まで1つの不揮発性メモリで対応でき、情報記憶の信頼性向上若しくは書き換え上限回数を向上させるために、新たなハードウェアを必要としない。

【0052】

前記CPUが実行する論理演算に論理OR演算又は論理AND演算の何れか一方を採用すれば、記憶情報の“1”から“0”への不良、又は“0”から“1”への不良の何れ一方の不良だけにしか対処できないが、メモリセルの利用効率は通常よりも半減するだけで済む。論理演算に多数決論理を採用すれば“1”から“0”への不良と“0”から“1”への不良の双方に対処することができる。

【図面の簡単な説明】

【図1】

本発明に係るデータ処理装置の一例であるマイクロコンピュータを示すブロック図である。

【図2】

不揮発性記憶領域に配置された不揮発性メモリセルのIds-Vgs特性を例

示する特性図である。

【図 3】

図 2 に示した低閾値状態および高閾値状態を作り出すための不揮発性メモリセルの構造とそのイレース状態およびプログラム状態を例示する説明図である。

【図 4】

フラッシュメモリの一例を示すブロック図である。

【図 5】

一つのデータに対する別アドレスへの重複書込み、及び対応別アドレスから読み出した重複データに基づく必要なエラー訂正（論理 OR 演算）の処理フローを例示するフローチャートである。

【図 6】

$A0$ から $A0 + 2K - 1$ までの $2K$ 個の番地を含む特定ブロック領域の利用形態を例示する説明図である。

【図 7】

一つのデータに対する別アドレスへの重複書込み、及び対応別アドレスから読み出した重複データに基づく必要なエラー訂正（論理 AND 演算）の処理フローを例示するフローチャートである。

【図 8】

3 つのアドレス (A_i 、 $A_i + K$ 、 $A_i + 2K$) に同一のデータを書き込み、読み出し時にこれらの多数決論理を採って出力するアクセスプログラムによる書込みと読み出しの制御フローを例示するフローチャートである。

【図 9】

$A0$ から $A0 + 3K - 1$ までの $3K$ 個の番地を含む特定ブロック領域 11 の利用形態を例示する説明図である。

【図 10】

オフチップのフラッシュメモリを用いたデータ処理装置を例示するブロック図である。

【符号の説明】

- 1 マイクロコンピュータ

1 A マイクロコンピュータ

2 フラッシュメモリ

2 A フラッシュメモリ

3 CPU

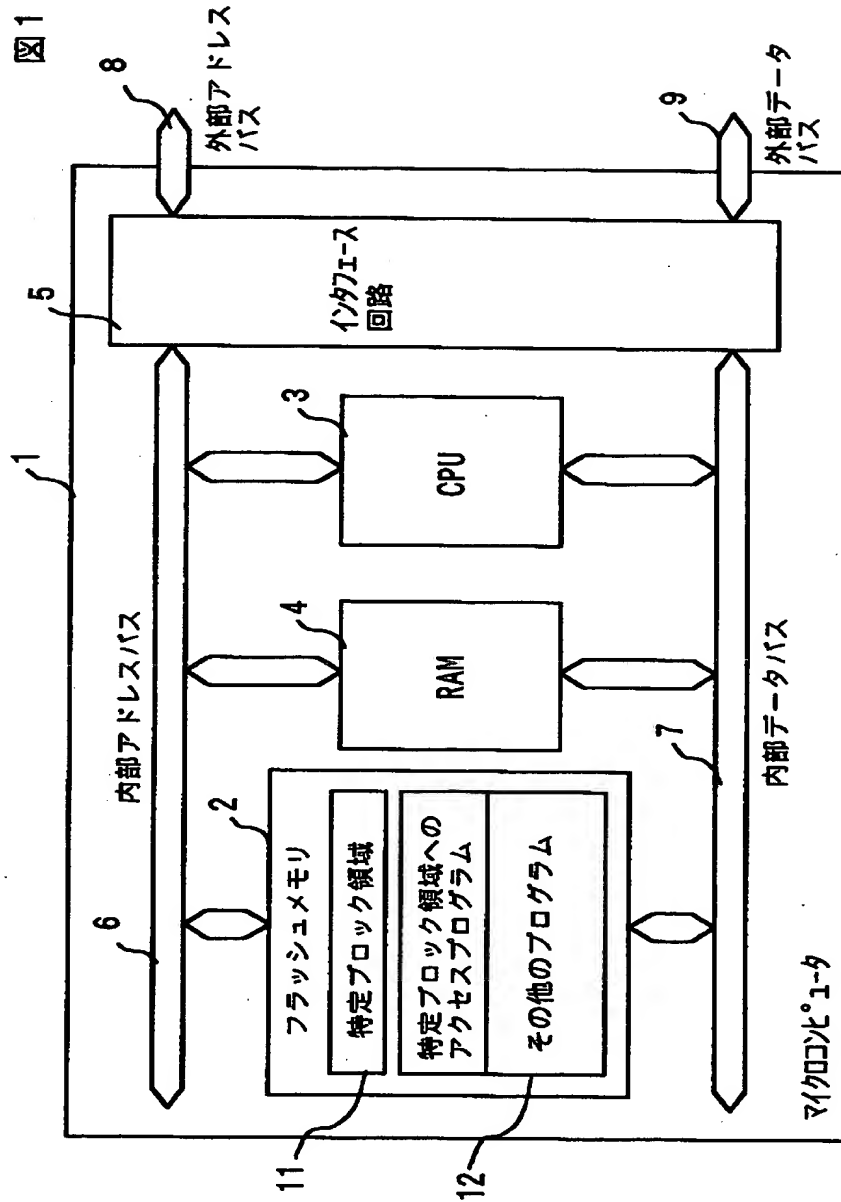
1 1 特定ブロック領域

1 2 プログラム領域

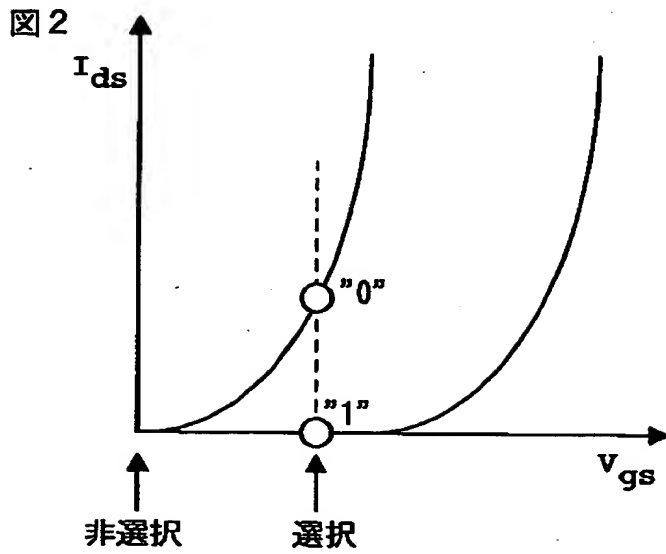
2 1 不揮発性メモリセル

【書類名】 図面

【図 1】

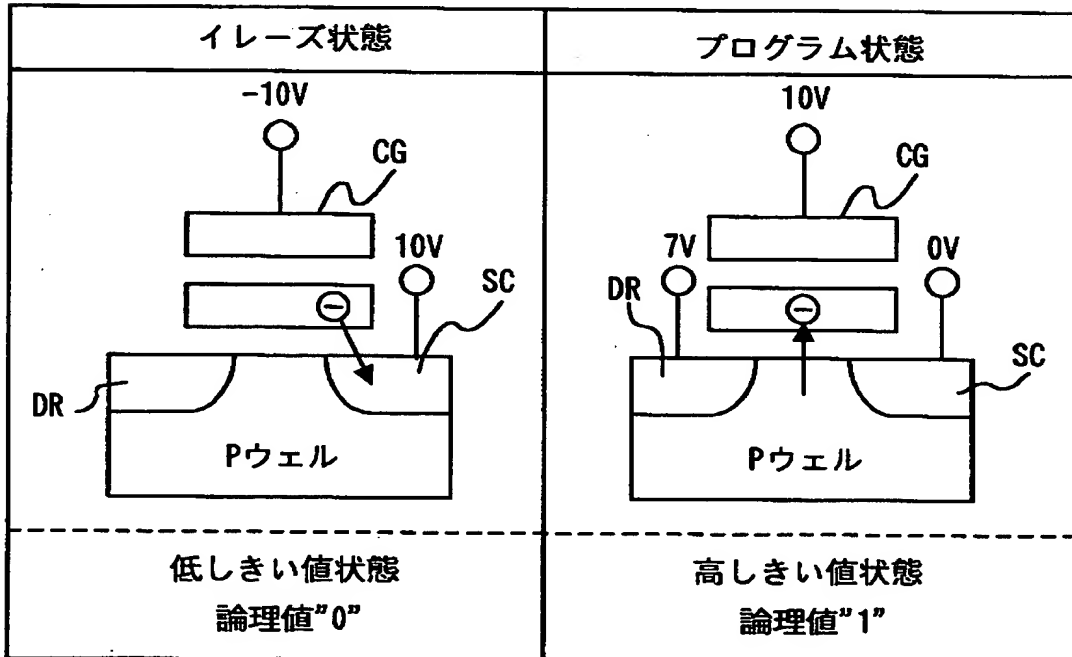


【図 2】



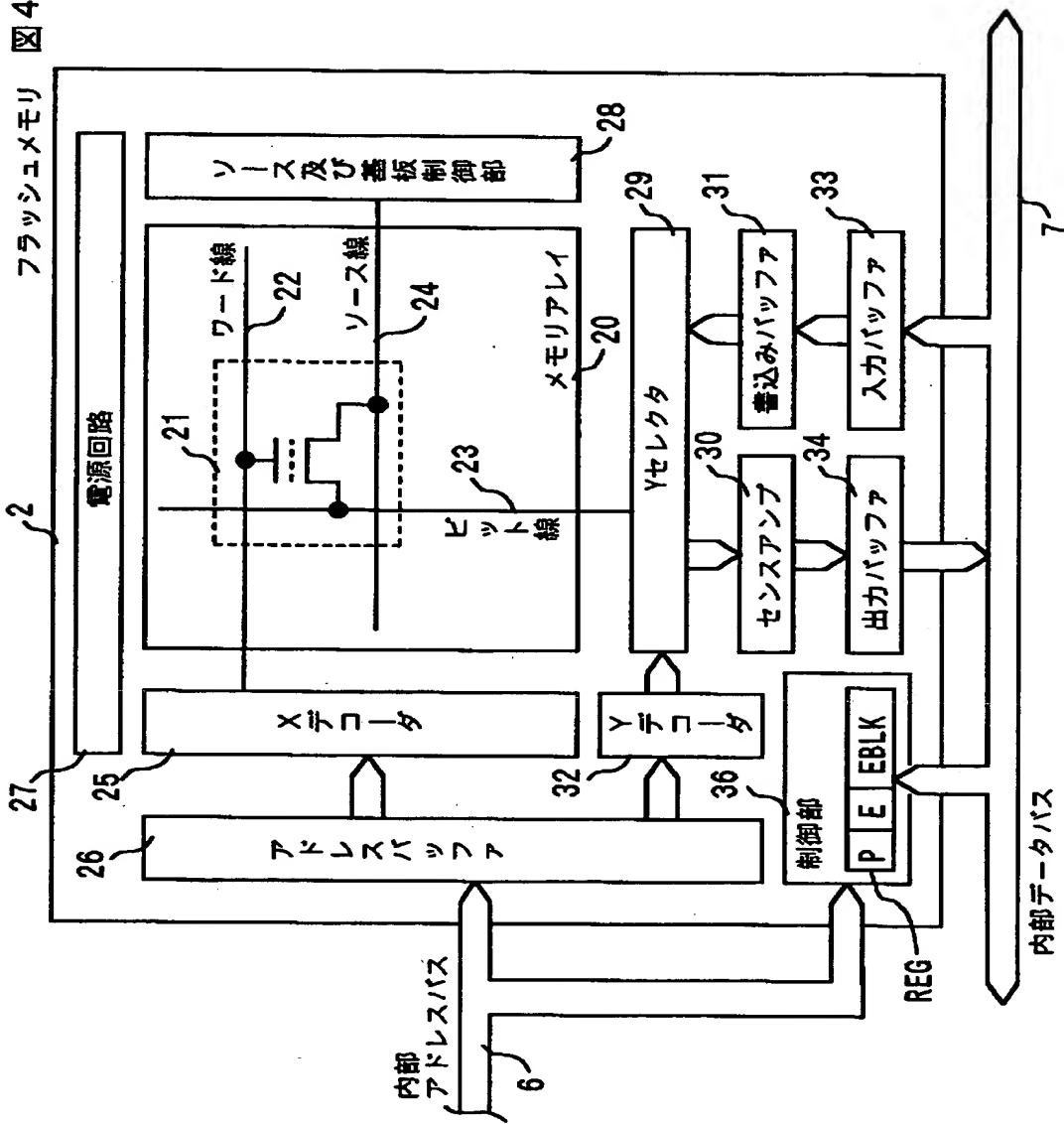
【図 3】

図 3



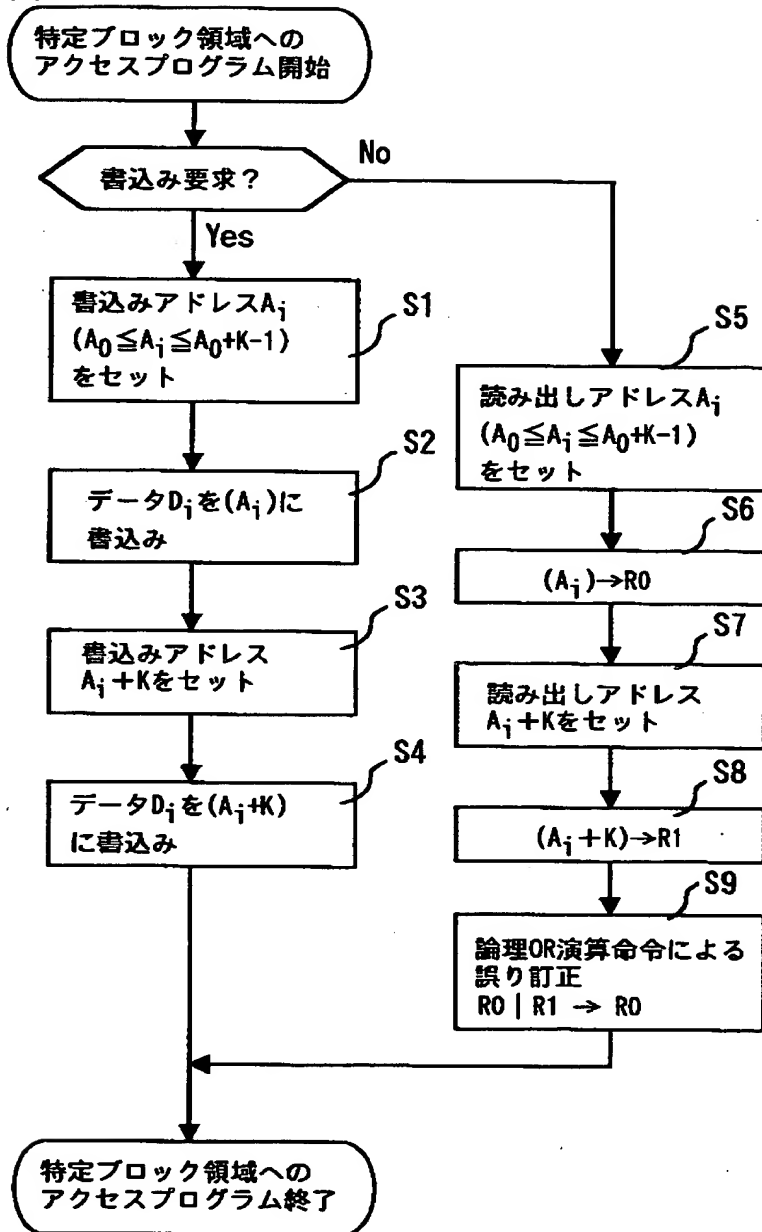
【図4】

図4

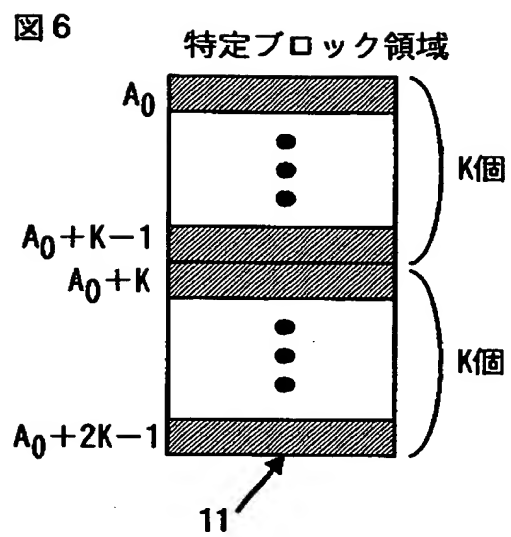


【図 5】

図 5

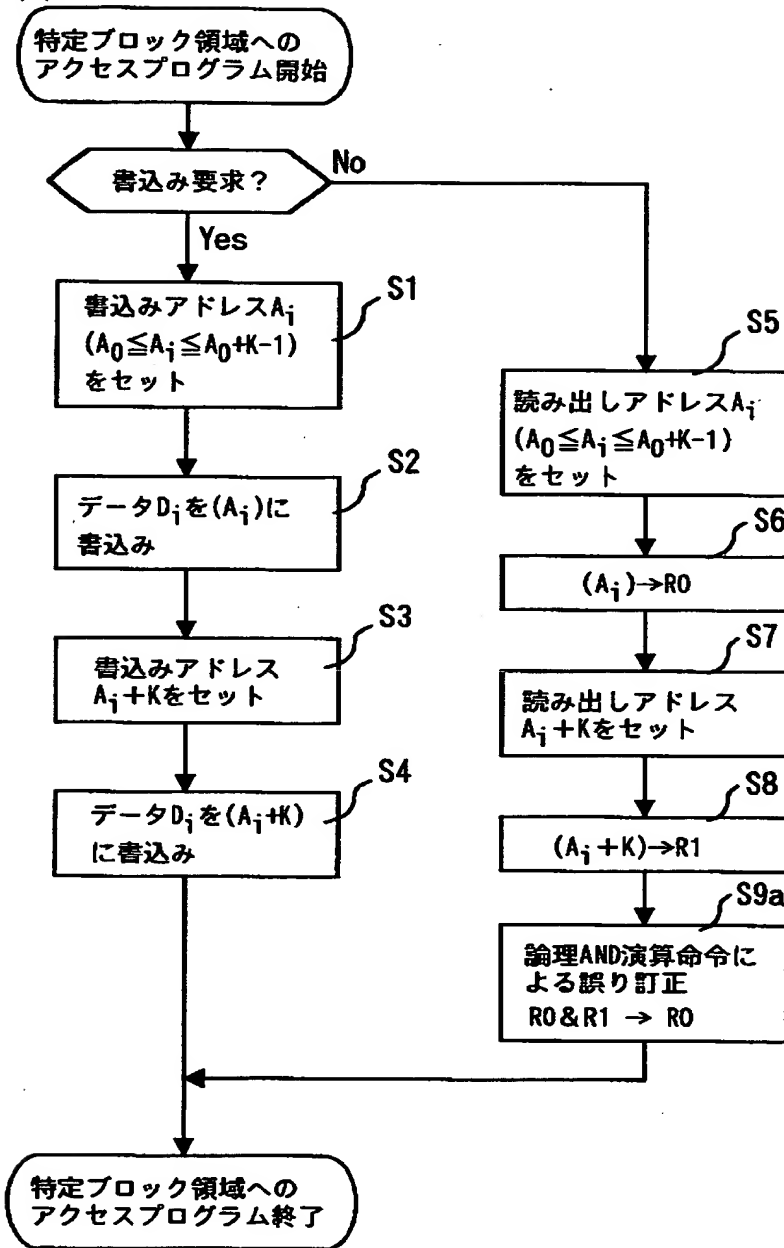


【図 6】



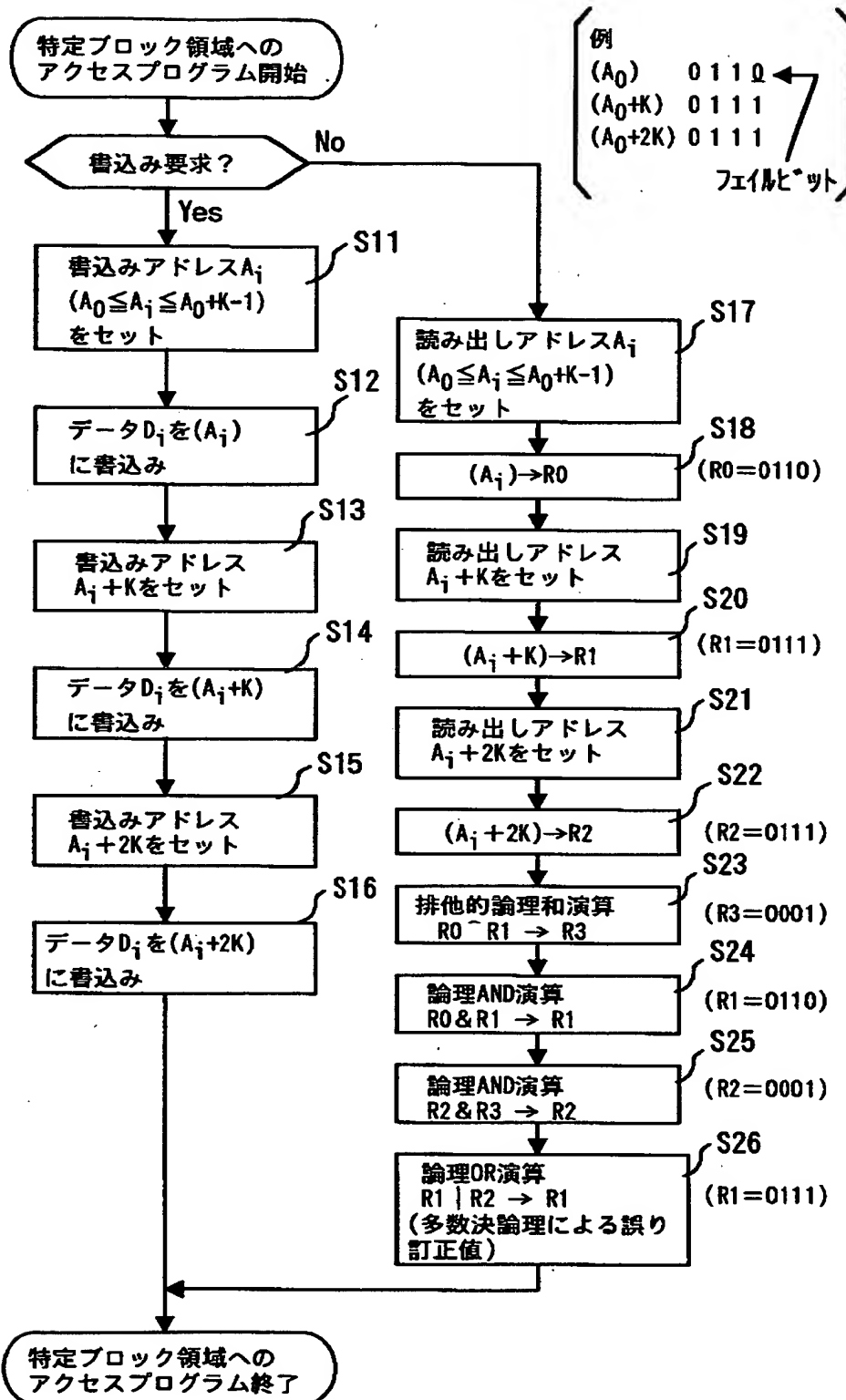
【図 7】

図 7

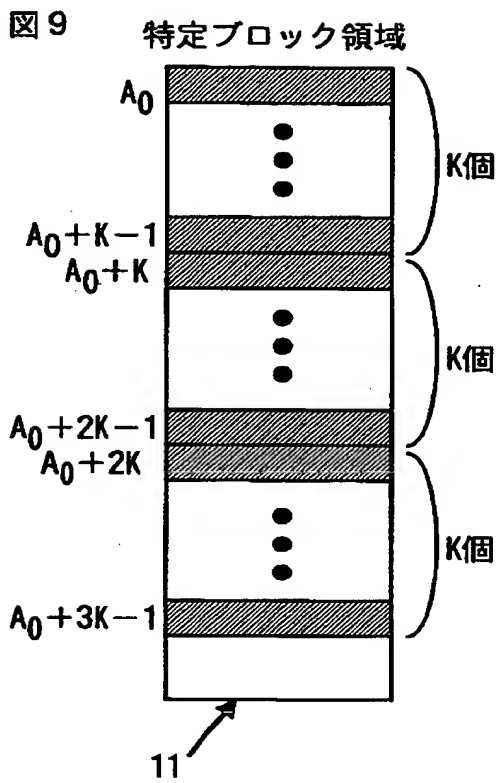


【図 8】

図 8

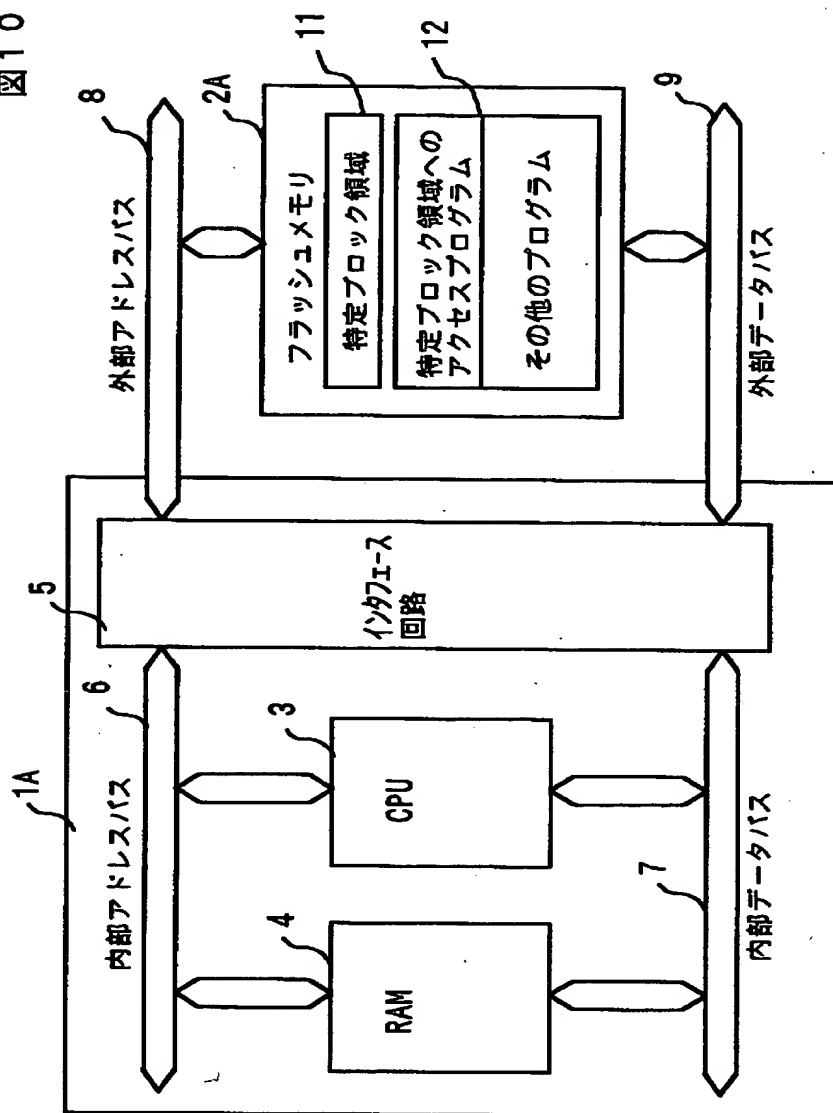


【図 9】



【図10】

図10



【書類名】 要約書

【要約】

【課題】 1 個の不揮発性メモリに対して書き換えが頻繁な領域だけ情報記憶の信頼性低下の抑制を優先させる。

【解決手段】 1 個の不揮発性メモリ（2）に対して書き換えが頻繁な一部の領域を特定ブロック（11）とし、この特定ブロックに対する書込みでは一つのデータに対する別アドレスへの重複書込みを行い、読み出しでは対応別アドレスから読み出した重複データに基づくエラー訂正を行い、双方の処理をCPU（3）のプログラムによって実現する。不揮発性メモリの一部の記憶領域に対して情報記憶の信頼性低下の抑制を優先させることができる。書き換え回数が少なくてもよい領域では上記特定ブロックとしての処理対象としないことによりメモリセルの使用効率を最大化することを優先させることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所